

Microprocessadores

Família “x86” - Hardware do i8086

António M. Gonçalves Pinheiro

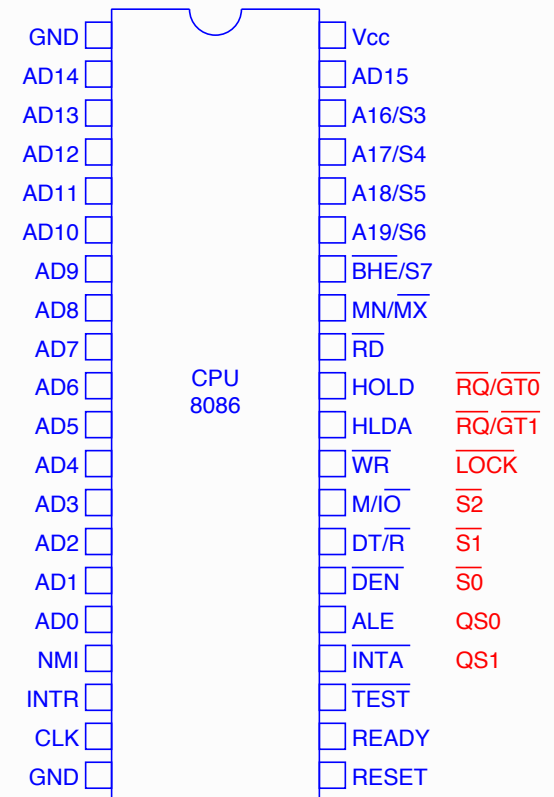
Departamento de Física
Universidade da Beira Interior
Covilhã - Portugal

pinheiro@ubi.pt

Ligações do i8086

Sinais Comuns

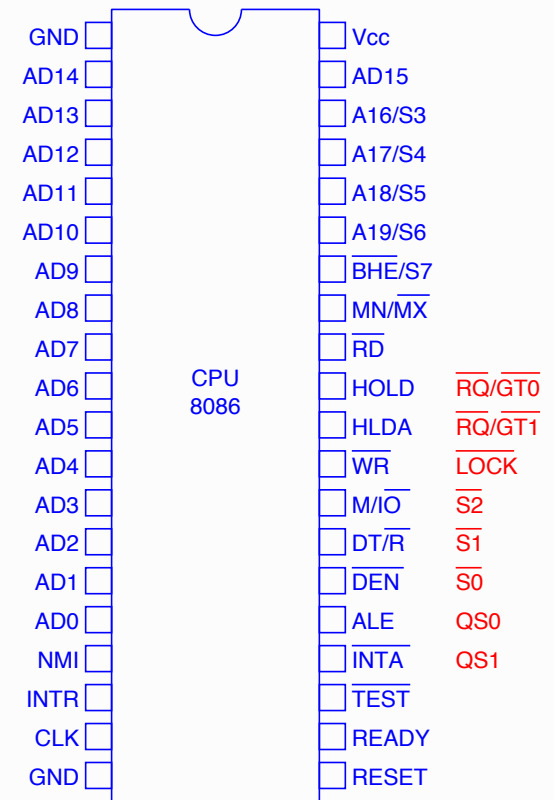
| Nome | Função | Tipo |
|---|--------------------------------|-----------------------------|
| AD15-AD0 | Barramento de Endereços/Dados | 3 Estados/ Bidireccional |
| A19/S6-A16/S3 | Barramento de Endereços/Estado | 3 Estados/Saída |
| $\overline{\text{BHE}}/\text{S7}$ | BUS HIGH ENABLE/ Estado | 3 Estados/Saída |
| $\text{MN}/\overline{\text{MX}}$ | Controlo Mínimo/Máximo | Entrada |
| $\overline{\text{RD}}$ | Controlo de Leitura | 3 Estados/Saída |
| $\overline{\text{TEST}}$ | Controlo de Espera de Teste | Entrada |
| READY | Controlo de Estado de Espera | Entrada |
| NMI | Non-Maskable Interrupt Rqst | Entrada |
| INR | Interrupt Request | Entrada |
| CLK | Relógio do Sistema | Entrada |
| Vcc | +5 Volts | Entrada |
| GND | Tensão de Referência | Entrada |



Ligações do i8086

Sinais do Modo Mínimo ($MN/\overline{MX}=1$)

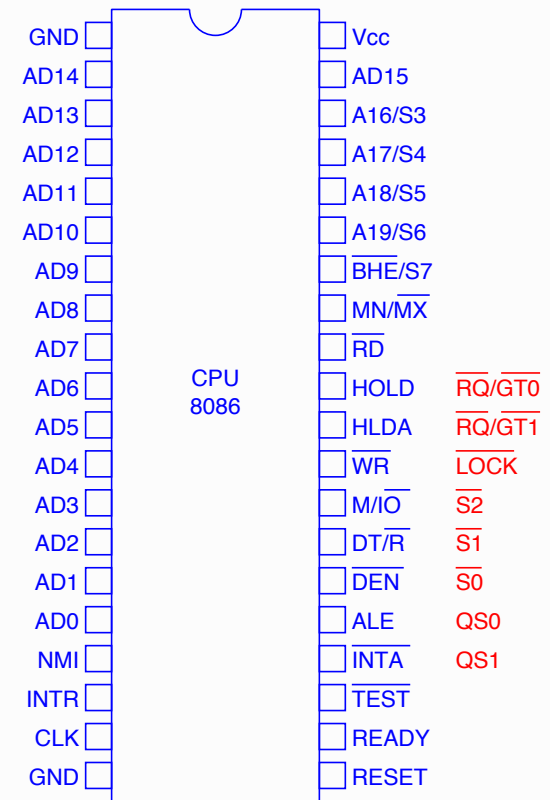
| Nome | Função | Tipo |
|--|-------------------------------|-----------------|
| HOLD | Hold Request | Entrada |
| HLDA | Hold Acknowledgemnet | Saída |
| \overline{WR} | Controlo de Escrita | 3 Estados/Saída |
| $\overline{M/\overline{IO}}$ | Controlo de Memória/IO | 3 Estados/Saída |
| $\overline{DT/\overline{R}}$ | Transmissão/Recepção de dados | 3 Estados/Saída |
| \overline{DEN} | Data Enable | 3 Estados/Saída |
| ALE | Address Latch Enable | Saída |
| \overline{INTA} | Acknowledge de Interrupção | Saída |



Ligações do i8086

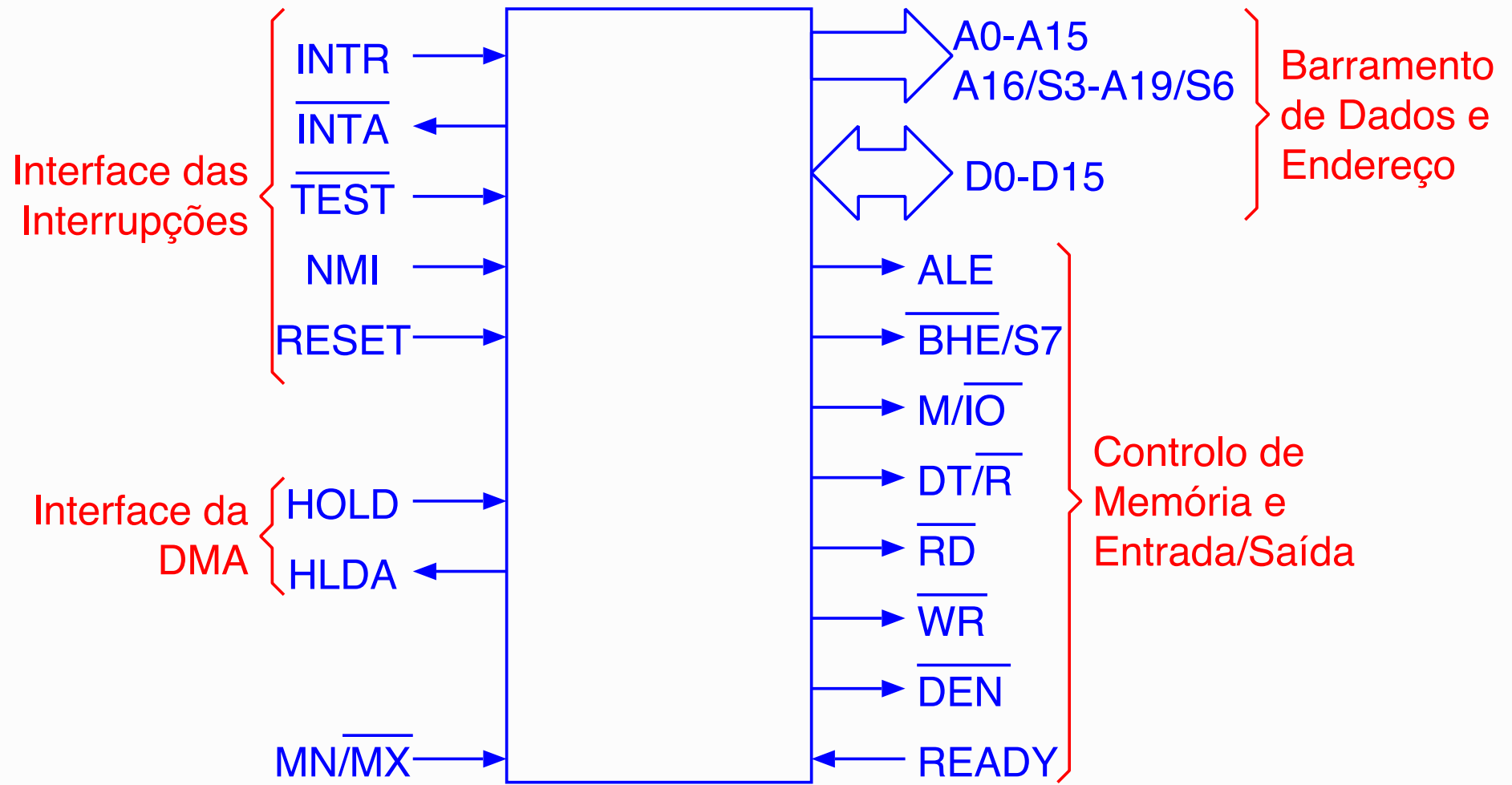
Sinais do Modo Máximo ($\overline{MN}/\overline{MX}=0$)

| Nome | Função | Tipo |
|-------------------------------------|---|-----------------|
| $\overline{RQ}/\overline{GT}_{1,0}$ | Request/Grant de Controlo de Barramento | Bidireccional |
| \overline{LOCK} | Controlo de Prioridade do Barramento | 3 Estados/Saída |
| $\overline{S2}-\overline{S0}$ | Estado do Ciclo do Barramento | 3 Estados/Saída |
| $\overline{QS1}-\overline{QS0}$ | Estado da Fila de Instruções | Saída |



Ligações do i8086

Diagrama de Blocos do Modo Mínimo



Ligações do i8086

Sinais de Estado

| S4 | S3 | Registo de Segmento |
|----|----|---------------------|
| 0 | 0 | Extra |
| 0 | 1 | Stack |
| 1 | 0 | Código/Nenhum |
| 1 | 1 | Dados |

S5 = IF (Flag de Interrupção)

S6=0

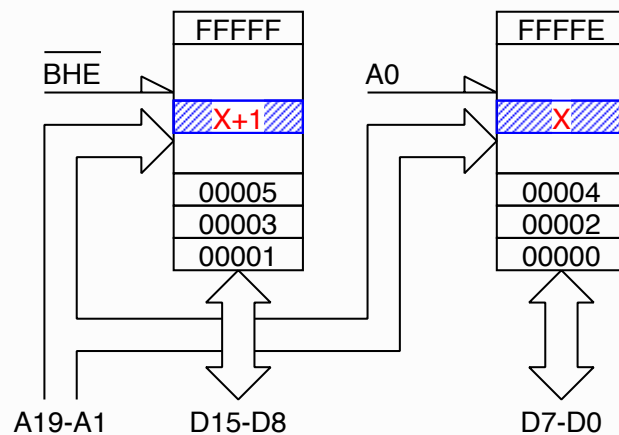
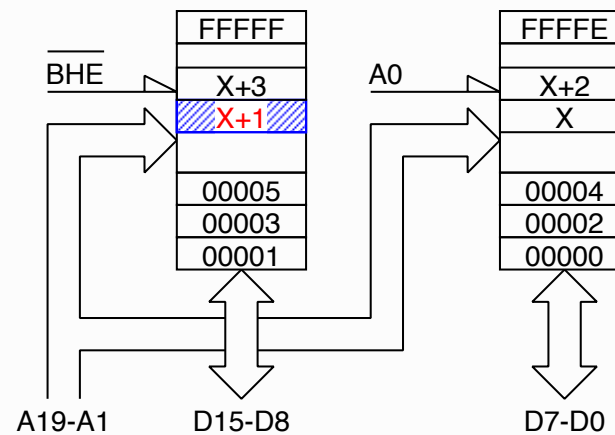
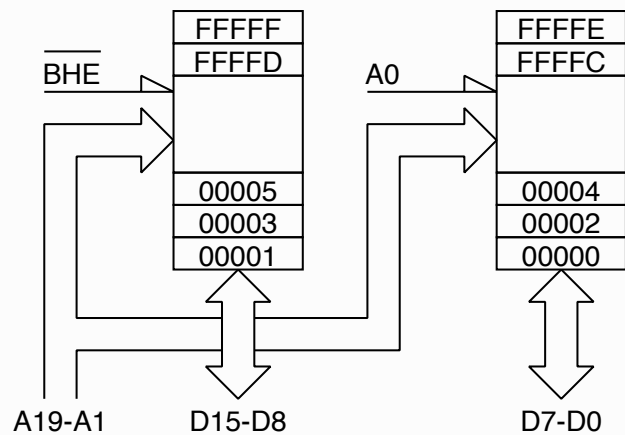
Modo Máximo

| $\overline{S2}$ | $\overline{S1}$ | $\overline{S0}$ | Ciclo de CPU | Comando |
|-----------------|-----------------|-----------------|-----------------------|------------|
| 0 | 0 | 0 | Interrupt Acknowledge | INTA |
| 0 | 0 | 1 | Leitura de Porto | IORC |
| 0 | 1 | 0 | Escrita de Porto | IOWC,AIOWC |
| 0 | 1 | 1 | Halt | |
| 1 | 0 | 0 | Busca de Instrução | MRDC |
| 1 | 0 | 1 | Leitura de Memória | MRDC |
| 1 | 1 | 0 | Escrita de Memória | MWTC,AMWC |
| 1 | 1 | 1 | Passivo | |

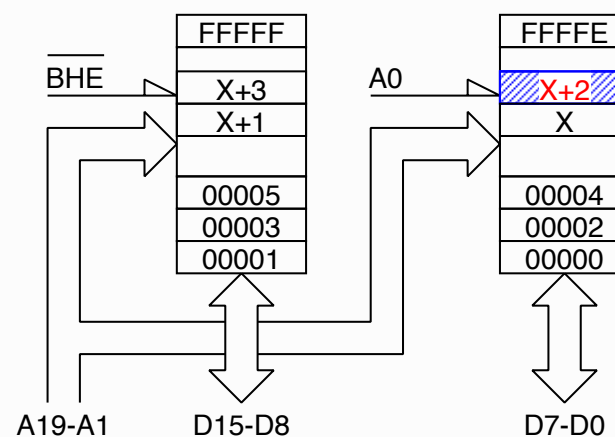


Ligações do i8086

Acesso à Memória



Endereço Alinhado

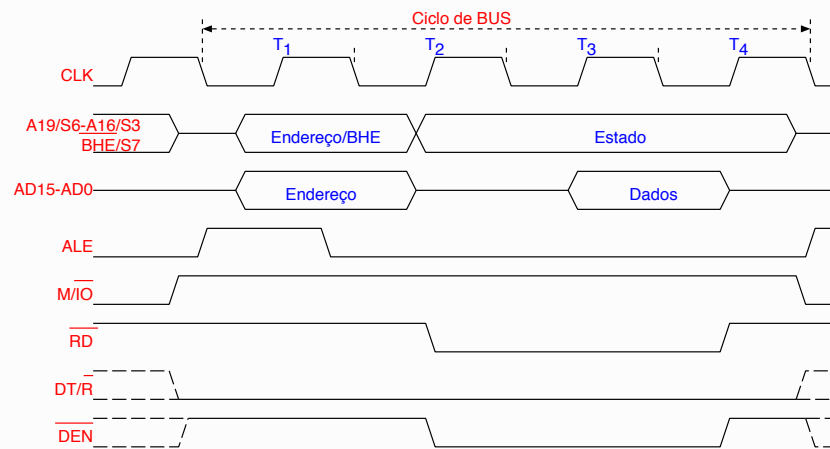


Endereço Desalinhado

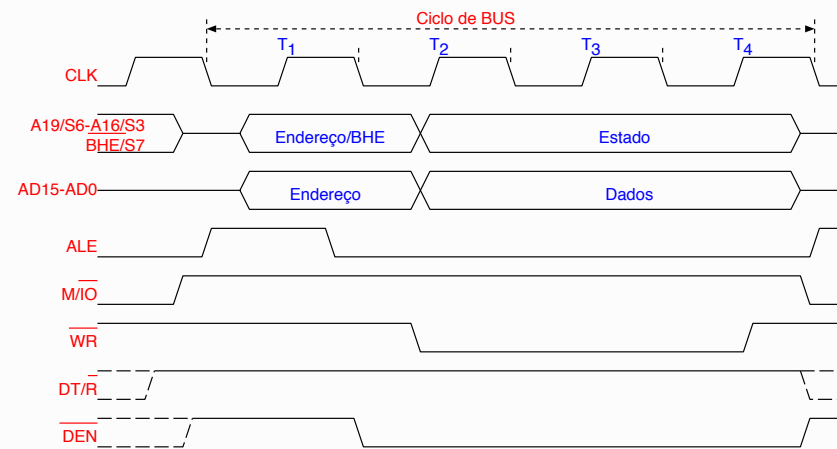


Ligações do i8086

Ciclos de Leitura e Escrita de Memória



Ciclo de Leitura de Memória

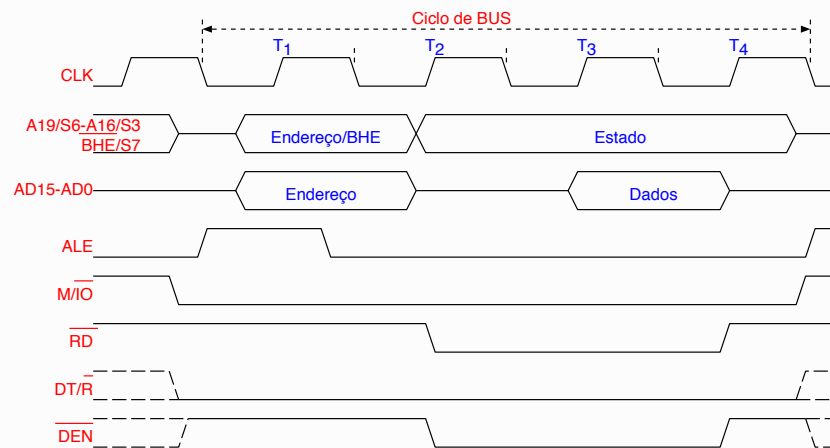


Ciclo de Escrita de Memória

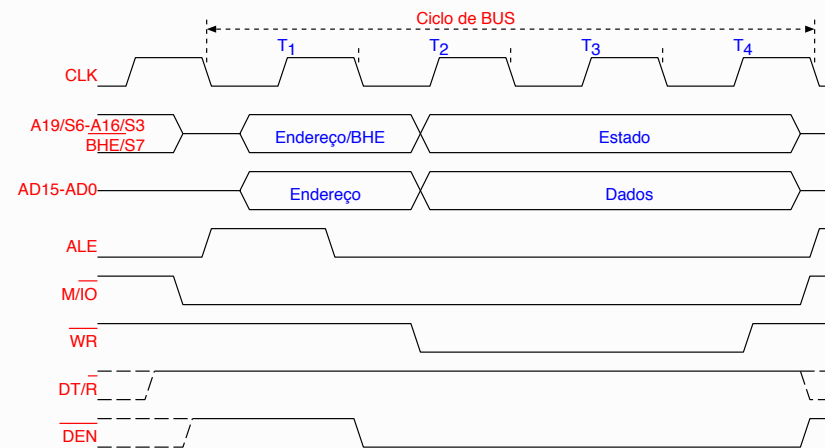


Ligações do i8086

Ciclos de Leitura e Escrita de I/O



Ciclo de Leitura de Porto



Ciclo de Escrita de Porto



Ligações do i8086

Interrupções

| End. Mem | Entrada Tbl | Def. Vector | |
|----------|-------------|-------------|--------------------------|
| 3FE | CS 255 | Vector 255 | Disponível ao Utilizador |
| 3FC | IP 255 | | |
| | ... | | |
| 82 | CS 32 | Vector 32 | Disponível ao Utilizador |
| 80 | IP 32 | | |
| 7E | CS 31 | Vector 31 | Reservado |
| 7C | IP 31 | | |
| | ... | | |
| 16 | CS 5 | Vector 5 | Reservado |
| 14 | IP 5 | | |
| 12 | CS 4 | Vector 4 | Overflow |
| 10 | IP 4 | | |
| 0E | CS 3 | Vector 3 | Breakpoint |
| 0C | IP 3 | | |
| 0A | CS 2 | Vector 2 | NMI |
| 08 | IP 2 | | |
| 06 | CS 1 | Vector 1 | Single-Step |
| 04 | IP 1 | | |
| 02 | CS 0 | Vector 0 | Divide Error |
| 00 | IP 0 | | |



Ligações do i8086

“Ciclo de Acknowledgment” de Interrupção

